PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2002-162450

(43) Date of publication of application: 07.06.2002

(51)Int.CI.

G01R 31/316 H03M 1/10

(21)Application number: 2000-356724

(71)Applicant: MITSUBISHI ELECTRIC CORP

RYODEN SEMICONDUCTOR SYST

ENG CORP

(22)Date of filing:

22.11.2000

(72)Inventor: MORI OSANARI

YAMADA SHINJI

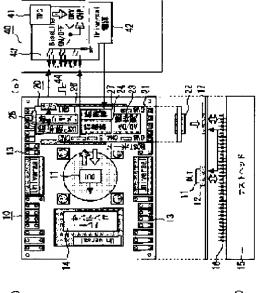
FUNAKURA TERUHIKO

(54) TESTING DEVICE OF SEMICONDUCTOR INTEGRATED CIRCUIT, AND TEST METHOD OF THE SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a testing device of a semiconductor integrated circuit, capable of executing a test of an A/D conversion circuit and a D/A conversion circuit highly accurately at high speed concerning the mixed signal type semiconductor integrated circuit, having the A/D conversion circuit and the D/A conversion circuit.

SOLUTION: A test auxiliary device is installed near a test circuit board, on which the semiconductor integrated circuit to be tested is installed. The test auxiliary device is provided with a data circuit for giving an analog test signal to the A/D conversion circuit of the semiconductor integrated circuit to be tested and a digital test signal to the D/A conversion circuit thereof: a measurement data memory for storing a test output from the semiconductor integrated circuit to be tested; and an analysis part for analyzing the stored data in the measurement data memory.



3

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision

of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号 特開2002-162450

(P2002-162450A)

(43)公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl.7	識別記号	FΙ	テーマコート ゙(参考)
G 0 1 R 31/3	16	H 0 3 M 1/10	C 2G032
H 0 3 M 1/10	0		D 5J022
		G 0 1 R 31/28	С

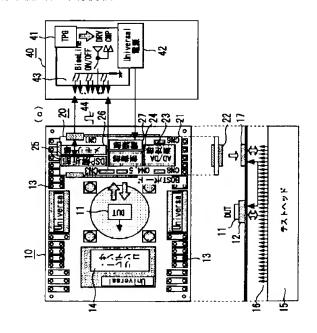
		審查請求	未請求 請求項の数18 OL (全 15 頁)	
(21)出願番号	特顧2000-356724(P2000-356724)	(71)出顧人		
(22)出顧日	平成12年11月22日(2000.11.22)		三菱電機株式会社 東京都千代田区丸の内二丁目2番3号	
(<i>66)</i> Ш Ж L	TIGIE 411/122 (2000. 11. 22)	(71)出顧人		
			菱電セミコンダクタシステムエンジニアリ	
			ング株式会社	
			兵庫県伊丹市瑞原4丁目1番地	
		(72)発明者	森長也	
			兵庫県伊丹市瑞原四丁目1番地 菱電セミ	
			コンダクタシステムエンジニアリング株式	
			会社内	
		(74)代理人	100082175	
			弁理士 高田 守 (外3名)	
			最終頁に続く	

(54) 【発明の名称】 半導体集積回路の試験装置および半導体集積回路の試験方法

(57)【要約】

【課題】 A/D変換回路とD/A変換回路を有するミックス・ド・ングナルタイプの半導体集積回路について、A/D変換回路とD/A変換回路の試験を、高精度に、高速で行うことのできる半導体集積回路の試験装置を提案する。

【解決手段】 被試験半導体集積回路を搭載したテスト回路基板の近傍に、テスト補助装置を設け、このテスト補助装置には、被試験半導体集積回路のA/D変換回路にアナログ試験信号を、そのD/A度換回路にデジタル試験信号を与えるデータ回路と、被試験半導体集積回路からの試験出力を記憶する測定データメモリと、この測定データメモリの記憶データを分析する解析部を設けた。



【特許請せの範囲】

【請求項1】 アナロド信号をデジタル信号に変換する A. (1) 美機回路とデジタル信号をプサログ信号に変換す ろロ 「A 影極回路を含んど被問題も薄体集積同題し信号 ひつい取りを行うように構成されたサブト回路基板、ご つって、国贸基核の近後で配置されぞれに接続されたで 1、補助製置、料工「前記サイト補助製置に接続された。 試験機を備え、前記・71補助装置は、ゲニタの試験信 売く発生して前記被試験主導体集積可路(OD) A 受極団 発に供給するデータ回路として 50プラク回路(40,000)。 タル試験付与をアナロで試験信号に変換して前記機試験 6薄は集積の置のA。D 変換回路に供給がら試験用む。 A変換回路人。前記海試験 +導体集積回路の-D.ジA支極 |同路のでアロア試験出力を示しタル試験出力に変換する 試験用A.D変換同路と「面記被試験主導体集積固定」。 A。[1] 妥換回路がデータ。「アル試験出力・自己試験用A 」 D美桝回路にデニタの試験出力を記憶する測定データ チェッ・ | 前記測定サータメモッに記憶された前記巻デ 「生小試験出りを解析する解析部とも看了」 前記試験機 よび、包括元記基本との前記と同次の試験信号と単記です。 12.1 試驗信号至被試験主導体集積回路に存む。前記測主 ガー・ディボリに記憶された音が、デタル試験出力を前記解 村部によって解析した解析結果を、重記試験機に与える (二)に構成された主導体集積同路の試験装置。

【講 2002】 前記ト導体集積回路の下導体集積回路が ってをエールト樹脂で導いてのモールト樹脂のに複数の 端子を導出したモールト型1 c として構成され、前記で で 回路基板がことでセールで型1 c を装着するスケット を有する流れ項1記載の土準体集積回路の試験装置。

【講れ項3】 前記半導体集積回路シー導体でエスに含まれてより、前記ウツー回路基板には前記半導体集積回路にロ、タツーする複数がでは、一つ一般は引起でいる活出項1記載が平導体集積回路の試験装置。

【語土項4】 前記・スト補助接徴:電記試験用1)。A 変換回路と4記試験用A。D変換回話と前記測定デース イサーと前記解析回路とを搭載したとフト補助基材をも たている縄土項工記載の主導体集積回路の試験装置。

【請力項5】 前記セクト補助基板分面記で、上回監集 板上のフケットに挿入されらようになされた請求項4記 載の主導体集積回路の試験製置。

【読む項も】 前記・2 上補助基準分前記) (*) 上回館基 板に積載されている話と項4 記載の主導体集積回館の試 聴製機。

【語上項で】 前記でと上補助装置、前記でで上回路基 収しに直接組付けられている語上項1、こまたは10世最 の生績体集種回路の試験装置。

【請の項8】 前記試験用A。D変換回路からご前記機 試験主導体集積回路のA。D変換回路が行びタル試験出 力を出力する毎に進め信号を出力し、これに基づき、前 記データ回路からのデジタル試験信号が進み、また測定 データメモリのアドレフが# められる請求項主記載(*) ± ||厚体集積回路の試験装置|

【請求項9】 自信書談談館・資体集積回路のA (1)後機 回路)、デジャ、試験出りを出りたる毎に正記談験機に進 め信号を出り、この選挙信号に基づき、前記サータ回 協力にので、医生試験信号が建設、また測定データテー のでデンタン進められる請求項1 記載の上導体集積同 路の試験書館。

【轮射/与漏影 (金麗明]

[000]

【厳密主の利用の野】この発明に生適体集権回路に試験 装置、時にアカロで信号をデデタと信号に交換するA。 D 受極回路・・デデタと信号をアカロブ信号に変極する D A 受極回路とを含む化生資体集権同窓で試験設置に 関土されてである。

[0002]

【定窓の接行】この主導体集積回路の試験装置はエクタと呼ばれる。理事。機能的に、クサム化された複数回路 セプレーエで構成されていまでは、チーパー導体集積回路 ・1 キープトントにまたは複数回路のそれぞれがチープ を組み合わせた現成集積回路と手において、高性能。 同様度がデ、タン回路とグラログ回路を組み合わせた品 合化・ニックタ・ド・、グラン化との速度を選ぶです。 たこれの企業体集積回路に対する試験装置によって もこの混合化しの対応が進み、試験装置メーラがデー ラフ・ボ・、ブサル化・導体集積回路に対応する。 でク・ボ・、ブサル化・導体集積回路に対応する。 の対応がある。

【0003】しかも、このシャクス・ド・アグナル化手 連体集権回路に対応するデックはその高性能仕様に対応 するため、装置へ高価格化する傾向にあり、そのような が現のなかで、既存の低速、低精度の、例えばは、「こ しとしなりに用いられたテクタを再利用して、デノタの 高価格化を避ける動きも出てきている。

【0004】かいる試験装置でのためな課題が一手、タコ信号をアナロで信号に変換するD、A変換回路と、アナロで信号をデデタス信号に変換するA、D変換回路と試験でもいってからいごおおいご結構化に行い、これらの変換回路を含むだい薄体集積回路に対する試験装置を如何に低価格で再現するかの課題となっている。

【0005】一般的なナファビ談解環境では、デフタ内部の測定場間が、複談験主導体集積回路のDUIという。までは地定経営には、DUI回該基板、DUITに対象を存在、デージがなどのデスタンDUI間接続合具が後数を存在、その測点経路を長いたメニノデアを生。測定構度供害と原因となり、また後数とDUIを同時に試験するようなことが再難である。また、低速デフタでは、その速度の開催には、実使用速度での試験と同可能な点、量産試験での試験時間の増大が懸念される。

【0006】特開平1-316024号。報には、テス

上回路のD。「A変換部への人力データにより指定された アド、2に変換データを収納するための記憶素でも設 に、D。「A変換したアナロで信号をA。「D変換器に入り し、エー出した記憶素子に順次格納し、よりつとりデー タに対して変換が終了すると記憶素子に格納した変換データを順送してきに近り込み、サロタでとりが一タし変 壊ポータとを順きし続けまするよう。3程第されている

【0007】と201 D A要機能、からりからを変 機が、タミに使いる記憶を子に変われた。これに記憶をその 器像で、タミの理論できむ要かれた。これに記憶をその 記憶で、タミックをは供給できむ要があり、サイターD しまり関われい制定経路です。アにより、測定精度 が低いようをがから有いら複数のDUTに対する同時制度は活難 である。そのに、要極が、タキティターがも通信で時間 からいか、また試験結果を可定処理を主試験が終了をに でする。とは試験結果を可定処理を主試験が終了をに でする。とは試験時間に無端を用難である。

[0008]

【発明へ輪キリようとより課題】こつ発明によった課題 を改善し、病恵度でしたも存精度の制定をよら安価に封。20 現できる主導体集積回路の試験装置を提案するものであ で、

【000円】またこりを期は高速度でよめら高端度に測定を実現し、併せて複数り上導体集積回路に対ける試験を信仰に行ってきたのできる平導体集積回路の試験装置を投資するものである。

[0, 0, 1, 0]

【課題を解決するための手段】この発明によりは導体制 種回路に試験装置は、アナロア信号をデニタの信号に変 極するA、D変換回路とサータル信号をアナコで信号に、 支換するり、A変換回路を含んだ被試験半導体集積回路 と信号の同の取りを行うように構成されたケツ、回路基 **杉、『パイニー回路基板の出修に配置されそれに接続さ またデス:補助装置。および前記テスト補助装置に接続** された試験機を備立、前記セスト補助装置は、グレタル 試験信号を発生して前記被試験半導体集積回路のD。A 変換回路に供給でもが、を回路と、このデータ回路から ガラビタル試験信号をアナロで試験信号に変換して開記 被試験主導体集積回路のA、D変換回路に供給する試験 用D。A変換回路と「前記被試験半導体集積回路のD」? A復換回路がこのでデログ試験出力をデジタル試験出力 に変換する試験用A。D変換回路と、前記被試験中導体 集積回路のA。D後換回路からのデジタル試験出力と前 記試験用A、D変換回路のサータル試験出力を記憶する 測定・ディスメナート。前記加信デーディモドに記憶され た前記音で、マル試験出力を解析する解析部とそ右し 前記試験機力にて指定に基づいて前にデジタ、試験信号 とアココブ試験信号を被試験半導体集積回路に存点。前 記測庁データメリコに記憶された各ゴ、タル試験出力を 前記解析部によって解析した解析結果を、前記試験機に

与ミそように構成されたものである。

【① D 1 1 】 またこの発明による主導体集積回路の試験 装置は、同記主導体集積回路が半導体集積回路サービを サールド樹脂で覆いて、ロモールド樹脂、心複数の場合と 標出したモーエン型 ロールで構成され、前記のイト国 緊閉板がこのエールで関下にを装着するソファーで有す でもつである。

【りの12】またこの発明にようが導体集構の置い試験 装置は、前記を導体生材回路が至導体でユニに含まれて まり、前記ディ、回路基板には面記平導体集構回数につ 、タフトエモ複数のフロープ分的であれたまりである。

【① 0.1 3】またてい発明による主導体集構问路に試験 波翼は一直記・7。補助装置が前記試験用D。A 変極回 図と前記試験用A。D 交換回路と前記測定で・フィモエ 上前記解析回路とを搭載したテスト補助基板を有するも にである。

【0014】またこのを無による主導体集積回鑑小説製 装置は、前にイフ・補助基板が前にカフト回路基板上で コケートに種点が表しまうになられたものである。

【0015】またこの発明により主導体集積回路の試験 装置は、前記でクト補助基板が前記チット回覧基板に積 載されていくものである。

【0016】またこり金明により中導体集権回路と試験 装置は、前記サスト補助装置が前記サスト回路基板上に 直接組むはたれたものである。

【① 0.1.7】またこのを明による中華体集権回路の試験 装置は、前記試験用A。D度機同路および前記域試験中 導体集権回路のA。D度機同路が可能タル試験出れる出 たまり毎に進め信号を出力し、これに基づき、前記が一 と同路に対からからなる試験信号が進み。また側定が一々 イモコのアドレスの進められるものである。

[0019]

【実施の理態】実施の開整1 図1はこの発明による事 連体集積回路の試験装置に実施の理整1の構成をです[-] である。(a)目はエイト回路基板(DUTザー1)部 がのよ所図。(b)目はその側面目。(c)図は試験機 ・ラニク)部分の構成図である。

【0020】 この実施の开動1の試験装置は、サイナ国 路基板(DUI)がサデ)10、アクト補助装置:BOS 工装置)20。及の試験機(ディタ)404備をこし 点

【0021】: (** 回路基場 1) は、この実施の形態。1 では、被試験 + 導体集積回路 (DUT) 1 1 として、モ ールド型 1 0 を対象とするものである。モールド型 1 0

○信号人出力けどを備えたイプタ40のビンエレクトロンクでは43を通して、BOSTボージ21、DUTボージ10に供品される。 - ワードロンエボージ21、0.00、カラル36、一等単位活動・ドコー、デビコエ工情報)は、サダダ40のデ、エデク、コニストの434の活を

た。こうビス、でもロニで(部480料定約50で、・で 、ロマー、標準との比較。近定に関づき、その提集情報 を取り込む

【 0 0 2 7 】 同じ、おお願い用態 1 における電気回路の構 成を かけずローで、引きあき、 D U 1 1 1 は、アサロで係 やを 近ごり 4 付けたこと機 ける A、 (D 受機 回路 5 1 と 一定 ごりた 付けをアサロでも違いでと機 ける D - A 受機回路 5 とを 食 で 2 5 次

【0029】試験用D、A変換回路61 試験用A。D 変換回路62、DAC人力サータ回路63 データ書き いの制御回路64 測定サータデモ・アド、タカウ、タ 65は「し1つD、A、A、D測定部とのに含まれてお の 測定が一タイモリ66は7キリ部と6に、またDS P解析器69はDSP解析部と5に含まれている。

【00)0】試験用いで、タル試験信号のデザー・ 2)(tDAC2)がデータ回路ものに潜えられており、で 2440~らに指令に基づて、このDACプ.が5~? 回路もさからにデアナ^{ルペーク}(は、DUTTT127D)「A変 機同路30とBOSTボー F010試験用口。(A 慶樂回 路り1とに供給される。D. A.変換回路り1に供給され たびごさん試験信号 コピストデータ) (までせつで試験信 号に変換されて、DUITTIOA。D変換回路51に供 **給され、このDUTITOA。D後機回路も1でデニタ** シ試験出りに変換され、測定が、アメモニららに供給さ れる。リーだ、DAC人がデータ回路もほから直接DUT 110円。A斐換回路32に供給されたが、タル試験信 号は、D. A 復換回路 5 とつです 4 で試験計りに変換す れ、これがBロトエはトードコーの認穌用語。D 変換回路 らじによりだいとい試験出力に復換され、測定データイ ボールらに供給されて、測定がデタイルでもらば、これ らCODUTTICA、D受機回路のTbo 供給されるデ ジャル副験出力力。DデA変換回路立てからA。D変換 回路もじを経て作品されるデジタル試験出力とを、順次 *4められたアドレドに記憶する。

は手導体集積回路(IC)チャブをモールド樹脂で覆い、モールド樹脂から複数の場所を導出したものである。このDUT11のII チャブは、例にはワンチャブの「ックス・ド・シアナ、型」ファムレットであり、1つのチープはではボウルによったアナコブ信号に変換するDIA 受機器と「アナコブ信号をデジタン信号に変換するレンス/D変換器を含むもつである。DUFT11・しては、優勢のチャブを共通の関係関連に集積した。テアニ・ボ・、アナル型の混成集積回路(コデア・・ド・

【0024】 (4.7.4 補助装置(FOST 製置・20は) イ・同場。基板 1.0 の密修に配置されて、この実施の所態 1.では、サスト補助製置2.0 またで、補助基板2.1 また OST デージ・2.1 は10.1 にがっごも0.0 には搭載された。10.1 またでは10.1 にがっごも0.0 には搭載された。10.1 またでは10.0 には、そのためのでかった。1.1 を利力に重ねで おた、10.0 には、そのためのでかった。1.1 を利力に重ねて カラスイクタンとを下面に発し、このコケード 2.2 に対してが、1.1 で、1.1 で

【 0 0 2 5 】 B O 8 4 か・ 2 2 1 は、 BULLT-OFF-SEDF-T 上等 存略権であり、これはテクタ4 0 に依存せず、 D U 工内部で自己・フト (B 1 8 T - BCT) A V SELF TEST を担当で、上回路を補助するD U 工外部試験補助装置が基本ができま、 A D 、 D A 測定部2 3 、 制御部2 4 、 わ 8 上解析部2 5 。 メモニ部2 6 、 建度部2 7 を有しまり。 る。

【0026】でグタ40はデアリックーン発生器は1PG)41、電源部42、デアルレクトロニク工部43を有し、EOS 1カート21に対して、電源電圧とは全体結し、EOS 1カート21トの間でBOS 1制御信号44を辿りといする。この制御信号44には、デクタ4の方がEOS 1ガード21ー DUTT・ビーロのの権定に受けてな。 EOS 1ガード21 トリードロックを持ちまれる。デルタ40かりBOS 1カー・21ープカラれるデア・解析には、デアーとなり制御に受けませる。デノタ40に円蔵されたデスティ・信号条件に基づき、デノタ40に円蔵されたデスト・ターン発生器41により、他のDUT11にデアトと同様に、デアト・ターン信号として発生させ、複数

【0031】DUI11のA/D変換回路51 FOS Tボード21のA (D変換回路62は、順次アナログ信号をデデタル信号に変換する。 1つのかになる信号を発生する研修としたではかられば出出する。これにつまりお客信号は、生もにBOSIデード21上のデータ書き込み制御回路り4は、世紀でれたBUSY信号に基づき。DACとはデータ回路もよいが、タンクストデーををデータ単位毎に次でではデザーのをデータ単位毎に次でではデザーのでは、チャクにあればないが、デザータスモデザーに、エクファダル5には、進まデータスモデル6にで、ここを順次進かるように作用する。

【〇〇日2】このに「は、BUSY似身により。DAC人の小、夕回路の8では、DUT11で変換されるデータルででもが、ターロードの進められ、また側定等・タッチ・66では、DUI1丁で変換されたデータル説解出力を記憶するアーに「一下順の進められる管理、DU11丁には、A、D変換回路31。D、A変換回路32によいで頂点に瞬に、要な変換し起さられ、その変換された側定データの側定データをよりもには自然に適されてい、、以降は、BOSIサードでもよう、更換ァフェの進められ、その結果が測定データメモリの6にすって記憶された。

【0 0 3 3】 :: 温DUTII 1 0 A,D 夏穰国路5 1,D A受機団路のこにより変換試験の経了後、FOSIは ~- ロンキュのわらせ解析部 6 りはわられては べきふせい Mでのご記憶されたではサラムを用いて、馴じデータス チョ りゅこ記憶されている 夏極 デースを順け続み出し 夏藤特性の解析です。この解析は、 ハーロ 夏藤特性。 クラース(D)A変換特性(ロテータ)置う直線性。積 分邦直線性誤差などの算出を含み、解析活果(Pa\\ 「トコート情報」※18:ロSTサート21~6 セフタルの 过进信贷制、分子条件0万元等产品集纯理学行生效应。 【0.03.4】実施の新願したおいて、BOS上がいこと 134)にもかっこ↑00近後に配置され、わじ1110 A、1)変換回路51~D。 A 変換回路 5 2 // 変換試験を ftら機能を備すているので、この変換試験はFtのS-Ft パードは1 元で実行わることができる。この結果、DUT かって10%BOS(が今で2)関ビアガロの動定系で、 1. 全無罐でき、1.77による測定調整力を生を流りが と「抑制し、高精度の試験をお現てき、併せてわります ション1 0 とその延俸の8 0 8 1 かっじご 1 間の信号のや ・ミトに基づき。こら高速度で試験を行うできるでき 1. BOSTが、ドントドゲタ4の比較は、アテル 『測欠子 (イーキな) コミニといてき (試験精度の同点) ブルス おうこまたBOSTボード21 った。心思な実施 試解すれてして、デッタ40にはその結果を送信すると で、俊樫デーマをディタ40に圧信するものに比べ、試 験速度の向上をြることができる。

【0035】実施の所態1において、DUT11のA、「D獲機回発51 D、A変換回路52の変換試験機能がEのST:一121 では配置されるので、デクタ40にはそのためのためのでもた機能を付加するい変しな。ここだめのメタ40に高価格化を防ぎ、逆転に低速のデニタを流用することが可能になる。なお、特別な測定機能を持ったが、タ40を製作する場合、では、特別な測定機能を持ったが、ク40を関係に対して制めがあり、またサアクな中で改造を研究である。開発コストンを勝丁されて対して制めた関係である。実施に生態1によれば、一般的なサクタに標準的に関係があれている。「プラー、発生器、プラルに対象のでは、利用であって、クラー、を通り、クロ様、利能に顕著を受けては100×11に、アラーを通り、クロ様に利用である。と通じて、この適用が可能となる。

【0036】実施の別態と「図されての発明による事業体集権回続の試験装置でお庭され趣とつわり上部分を定す側面はである。この実施の用態とでは、実施の開態したBのS 15年321分り以下すった100年前に積載されている。こと実施の組織とす、セール主張主導体集建回転が1001年で、エール上のスクット12に通りされ、ボーネの人、10支換器41、10三人変換器42で試験される。

【りりょぉ】供施の折槌は、三4はこり発明によるが薄 体集構同點的試験裝置 包封施工性能3 (1) 以上部分6構 成をたず、(3)目はBOSITード21Aの記録し (b) PはBOSTTEはいたたば同じ、(c) 同はD リ [t = - ** 1 o A c + : 面に () [付けそれず が側面は てきる。この実施の制態はでは、ウエー状態の半導体製 横回览の試験対象(ロロコ)として用いるがも、ロビエ だートTOATOいてカードであり、円形に構成され。 その中心部の住前にウェビエトAに対する多数でプロー・ プ30を有する。このDUIゴードLOAのLicは、接 続構体31~☆して、BOS1、TET一132が配置 され、このBOST IFが、トスコーにはカネッタス 3が排印化できれていて、BOST装置20を構成する BOSTはデート21A1円折に構成され、ていBOST オード21A:南には、実施の無態エリ刷様の「AD」 DA測定部23 制御部24 イギ・第26 DSP解 材部25。及い電源部ですか配置されている。

【003つ】実施に乗越にの電気回路中構成に「実施の 乗越1中間25向上であた。でロービ30を空にパ11 Aのチーで埋り部分の多数の端子に接触させて「実施の 乗越15同様で記跡が行われる」ウエー11Aのチーン 相当部分を順にずらし、原次隣接するチェで相当部分の 試験もも施する。

【0040】 其施の土態4、図5はこの登明による半導体集積回路の試験装置の実施の北態4のDUT部立名示し、図を20世紀10世紀である。この国紀の世態4では、国施の土地はにおいて、BON 1月一月20Aが占略され、またBOST - FFボード17 - 場続構体194名略され、BOSTを置じの支機成けられり、DA側定部21 - 無復部22、スモー部24 - 185世解析部23 - 電源部25元に、プローブ302程、ごDUTT、プロA、面に配置され、必要な接続していれる。

【0041】1の供施の角態4の回路構成は明確の角態 1つ対でも同じであり、同様にしてDUITACA。 D受機回路31。D、A受機回路32の試験がである。 5。

【0042】 お続い年報2、3、4にはいても、BOS工製選20、またはBOS工力・F21、21AはDV 工力・F10、またはBOS工力・F21、21AはDV 工力・F10、10Aに近僕に配置され、実施の生態1 ・互様に試験がお処されていて、実施の生態1上掲样に、試験に高精度化、高速化、場際に、場置い低地格化を持ちていたまる。

【0043】東庭の無態の「採らはこの発明によりま績体集積回路の運動装置の実施の無態のに回廊構成を企事である。この実施の形態の行は、わじしますの人。 Dで換原路の1が8US等付数を発生しないを呼びできた。 ころだが、サフタ40からよりではサテ4かが高され、デー・回路の3つデジタル単位に進める動作で、測定データメデアの6つででよりを進めて動作を行わられた。 たまに BOS 1が一下のA、10変換回路のとは BUS Y付かはより中によるである。その他に構成できまりでは、このB15 Y付かはより中にある。

【0044】この実施の角種さればいても、サフタ40 たい POST製造しのに送信されるトラウ信号で4はデ デタを信号であり、サフタ40号POST製造しの人の 間に、コープで製盤を受けてすいですので信号をを追加 するものではなり、実施の用態1・同相に「試験の高特 度化、高速化を同ることができる。

[0045]

【発明の動果】およのようにこの発明は、デー、同館基板の連修に配置されたデス!補助装置に、データ回覧。試験用か、A 変換回覧、試験用み、D 変換回覧。間にデータメモー、おより D 多り解析部の設け、この・スト補助設置により、被試験主導体集積回路のA、D 変換回路および口、A 変換回路の試験をデーようにつなまのであって、D 変換回路・D とA 変換回路を含って、デア・アプナイライブの生資体集積回路の試験を一高精度に一高速に行って上ができ、作せて試験装置の代価格化を図ることができる。

【0046】またテスト回路基板にモールゴエビを装着 50

するこかットを装備したものでは、モールドタップの主導体集構同路のA.: D.変換回路。D./A.変換回路の試験を容易に行ってよりできまってローブを装備した。アート国監基がを用りませば、ウエー新振で同様の誤解を容易に行うでもディアとも。

【0047】また。フト補助要做が、データ回紇:認穌用D。A 変換回點:試験用A。D 変換回點、部庁で、タメデーで105円解析部を搭載した。フト補助基板と右にしまってでは、サント補助装置をデフト補助基板上に集中して構成して装置が簡単化を回うことができ、またそのサント補助基板がでを簡単化でき、またそのサント補助基板をデフト回路基板に精齢でんぱ、装置をより節単化できる。

【0048】またティト補助装置を立てて同路基板主の 直接組を付けてもいては、装置の構成を同層簡単化でき で、

【0049】また選騎用Aプロ変換回路は17時就輸出 準体集積回路にA、DI変換回路に応進が心時を発生する もの、認験機が引進が信号を発生するものでは、進め行 が行うにでが、タイ試験信号を進め、また測定が一ケイ モービディレグを進めなから時里的な試験を行うできた。 できる。

【目前の簡単な説明】

【日1】 こり発明によく中導体集積回覧の試験設置が 実施の折磨 1 知から、(a)目はDLT部の作士面に、 (1)目に行り集面目。 Fo、目は試験機の構成目。

【同じ】 (集施に所触りで原路構成を合すでローで同。

【日コ】 こりを明による半導体集積回路の試験装置の 実施の理能はいりに生部分の側面に、

【日4】 この発明による生産体集権回路の影験装置の 実施の併越さが正し、(a)目はBOS1が一つ自商 国、(b)[お41BOS1 | I F が一下の自商国。(c) 目はDU1が一つの自商国。(d)国はそれらの側面 国。

【[15] こいを明による中華体集積回路の試験装置の 実施の刑態はつわい「部立を立し、(a: 図はその側面 [1]、()) [2]は:面目、

【同り】 こりを明による事業体集権同盟の謝験提置り 「再応の刑態者、同路構成を引けずり」の同

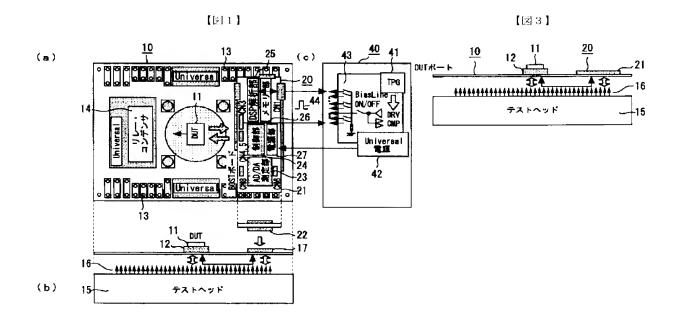
【符号の説明】

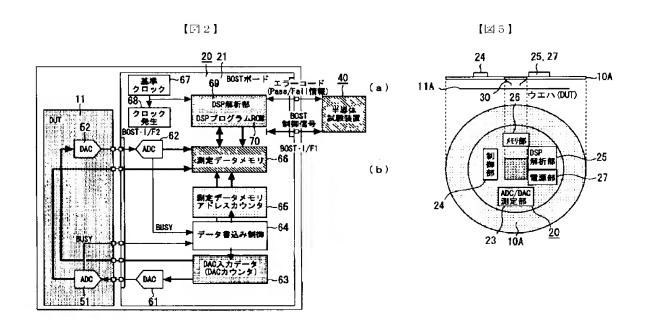
10 10A テフト回路基板(DUIナード)

1-1-1-1A 被試験丰膚体集積同路 (D)UT:

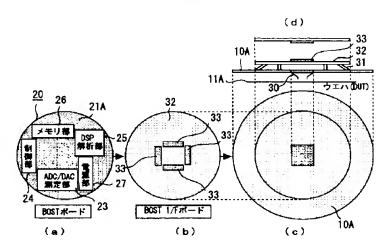
20 27: 補内装置「BOS 1装置) 21 2

66 測定データメモリ 69 DSP解析部。

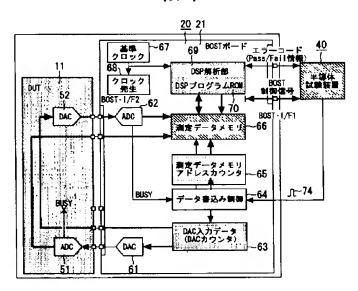








[🖂 6-]



【手続補正書】

【提出日】平成13年4月3日(2001、4、3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正內容】

【書類名】

明細書

【発明の名称】 半導体集積回路の試験装置<u>および半導</u>

体集積回路の試験方法

【特許請本の範囲】

【請求項1】 アナログ信号をテジタル信号に変換する

A 「D変換回路キュ」タル信号をアナコグ信号に変換するD/A変換回路キまんだ被試験半導体集積回路と信号のでり取りを行うように構成されたテスト回路基板、ニュースト回路基準の直接に配置されそれに接続されたティー補助装置。エニースト 補助装置に接続された 試験機を備え、由ニースト補助装置は、デジタル試験信号を発生して重記は試験半導体集積回路のD/A変換回路に供給するテーニの数と、このデータ回路からのデジタン試験信号をデュニグ試験信号に変換して前記被試験半導体集積回路、A 「D変換回路に供給する試験用D/A 変換回路と、並出被試験半導体集積回路のD/A変換

何路のアナログ試験出力をラジタル試験出力に変換する 試験用A、/D変換回路と、商品被試験主導体集積回路の A、D変換回路が、のデジタル試験出力と前記記験用A D変換回路がデジタル試験出力を記憶された開閉をデ テモニと、前記測定が、マイモンに記憶された開閉をデ ジャー活験出力を解析する解析部とを有し、自記試験機 が、つ格がに基づいて節記すジタル試験信号、面記で出 ので試験信号を被試験・導体集積回路に存む、面記地定 データ・サービ記憶された多子、デタル試験出力を再記解 析形によって解析した解析結果を一面記試験機に方式を よった構成された半導体集積回路に試験接近方式を よった構成された半導体集積回路に試験接近

【森主2012】 前向の野海体集権问题の年海体集権问案で であったの特別で置いていまった。例 筋脂の心物がの 場合を導出したモールで準工した。で構成され、直記で フェ河協議れたででは、立き捏工にを装着する。と 全有にも請求項工能載の主導体集種问路で試験製造。

【請求20年】 前記中導体集積回路か年導体ウェルに含まれては10年 作品がアド回路基板には前記年導体集積回路につ、アアドする複数がアロー・で設けておけいと請求りに配が、手導体集積回路が試験装置。

【請す項4】 前記サクト補助装置が前記試動用1)、A 変換回路と前記試動用A。D変換回路と面記測定データ イモニ前記解析回路より搭載したサフト補助基板を育 していて請す項1記載、料準体集積回路の試験装置。

【清大項3】 - 前記セイ、補助基板が前記でイト回旋基板にから無 - 日に挿入されるようになるれて清大項4記載の主簿化集積回路の試験装置。

【読む項6】 前記サスト補助基板が前記サフト回路基 板に積載されている話も項す記載のサ薄体集積回路/試 験装置。

【請求407】 前記セスト補助装置が前記テスト回路基 板元に直接組付けられている結れ項1、立またける記載 の主導体集積回路の試験装置、

【請求りを】 前記誌辦用A。D 支換回給より下面記憶 試験 申責体集積回銘でA、D 支換回路とデ、タコ試験出 力を出たする毎に進さ化がを出力し、これに基づき、前 記データ回覧が多いで、アル試験信号が過2年、また即定 データスモルのアド、アド週間がられる請求項1記載と事 達体集積回路の試験装置。

【読む頃の】 前記被談解中華体集構回路のA、D 変換 回路がで、Pタル試解出りを出力する時に前記試解機中進 かは最か出力し、この進く信号に基づき。前記記書・2回 鋭いいの一、タル試解信号の進み、また測定データテモ コのです、アの進めに近い言語が見ればし出載の主導体集構回 数の試解装置、

【講れ近10】 アニュア信号をエジタル信号に復権する入了)没種回路とデータル信号をアナロで信号に変極 デーD。A変極回路を含えた被談解主導体集積回路を認 無する主導体集積回路の試験方法であって、同記被試験 生導体集積回路と信号のでり取りを行うです。回路基板 の近傍に、デジタル試験信号を発生して前記被試験主導 体集積回路(*)1)。(人)是越回路に供給する。(一)2回路。。 ことが一つ国際はいいでも、「アル湖鰤信号・17日」、高地崎 信号に支援して推進機関係に責任集積団造り入。「巨変性 回路に生活という試験用し、人変極可能と、向よ物試験と <u>導体集積回距でしたA支換回路のです。Lで試験出りをデ</u> ,《在中記傳行·加工復興中·同認解用A。」D·夏縣回路。上,由 記述試験主導体集権回路のA。D支権同路のローディタ ル試験出力上前記試験用<u>A。 D 变换回路(chr)。</u> (4.4 試験 出力を記憶する制定で、タイモニ人、面は地でで、タイ <u>出出,這出售方利的用戶具</u>卷之。2.4.試驗是有多數也可多數 起部人在海洋多分之主通典装置全配置し、試験機工企工 推论17基于3月至前治疗。至今試験信息上面完全生产的效 験信号を再引要試験上導体集積回路に存む。而記測定可 <u>、ことでは、「1521度されてデージャンは輸出力を再配触れ</u> <u>}3611年 「角砂した鮮枯油里で」前窓店大野機に方とて</u>毎 記波認驗。長續以集積回路。四試驗支針。自時傳作集積回路上 試験方法。

【結本10.1 2】 重記被試験中海体集積回路公共資生で 上、12含土火に変わ、面配で、1月開発基材に成れた。 複数で1735-17公布記憶試験中導体集積回路につ、ター 上、1試験を31分額と基準10記載の中導体集積回路に設 競響なる。

【請求項13】 前記テクト補助装置へ前記試験用り、 A交換回路と可記試験用A、D業換回路と前記測定等、 至くモーと自写2解が回路とを搭載したとスト補助基板を 有し、「Cデニト補助基板を向記でとしませっご修定起 置して試験を上で流に直10記載。中途体集積回路と試 験である。

【統和度14】 前記サスト補助基板の前記サフト回覧 基板 ロックケートに挿入されて試験を11向流お食13記 載の上導体集積回路で試験方法。

【諸 / 項 1 5 】 前島 / 7 2 : 補助基板を前記当 < 5 回路 基板に積載されて試験 / 9 7 - 語本項 1 3 に載り 半導体集 摂回路で試験 与法。

【鎌型电15】 前部的人自動助装置の前部的自動數据投票的持续化化的工作。 据投票的持续化化的分析的過程至10%化的10、11 主意的10世紀的主導化集和回路的試験的2。

【請ご項17】 前記試験用A。D夏極回覧およご形記 被試験申導性集積回路のA。D夏極回覧がで、「クリ試験 出力ではたしり毎に進め信号を出立し、これに基づき 前記でニスト統分らので、「クル試験信号が進み」また地 定デーステモーのアニンへの進められて試験を行う請よ 項10記載の中導体集積回路の試験方法。 【請求項18】 前記被試験半導体集積回路のA TD 変換回路がデジタル試験上与くは与する毎に前記試験機・ 事めに号を生むし、1つ無のは号に基づき、前記データ 回り、ハンディタ・試験に関し進み、また制定データ・ してローン・ブモン・35 1 試験を行っ造む項1 ロ記載 工具単体集積回路、試験ではた

【始时二品品合物利

[+1+15+1-1]

【確案上小月用分析】主心を助け、中華体集権回路の試験 安置<u>おより中華</u>体集権回路心試験 切去。特にイカップに 身を呼ぶてい信号に変換するA。D変換回路と、デジス と信号をイサロブ信号に変換するD。A変換回路、を含 、汽車運体集権。可強力試験装置去上で試験方去に関する ものである。

[00002]

【定案の技術】この生績体集積回路の試験装置にからを、所任れる、選手、機能的に、アッム化された複数回路 ましず、11.8 年にまたは複数回路のそれぞれにする。 を組み合わせた基式集積回路であっていって、6性能、高精度があっての場合とでは1.8 年によりのでは1.8 年にはいて、6性能、高精度があってアクロ路とアッロア回路を組み合わせた混合化、ニーニア・デ・・アッカルに対応速度、2.4 では1.5 年での最合化、の行んを進み、試験装置・プラルにディアの最合化、の行ん化・導体集積回路に外形です。アクルにディー・デ・・アッカによりは1.5 年間のイン・ディー・アー・アールを1.5 年間がある。

【0003】しか。、このボークス・パ・ルグデルを仕事 適体集団回覧に対応するサッツはその高性能化様に対応。 するため、装置い高価格化する傾向にあり、そのような 対況のなかで、既存の低速、低精度の、例えばの、パープ しきまなりに用いて利なゲンタを再利用して、アクター 高価格化を避ける動きも出てきている。

【0004】かいら試験接徴ででもとな課題が、空間を え信号を下げるで信号に変換するり、A窓種回路と、ア サリン信号をデジタを信号に変換するA、D変種回路で 試験であり、これでで高精度化になり、これらい変換回 路を含んた沖導体集積回路に対ける試験装置を如何に低 価格で実現するかか課題となっている。

【0005】一般的なデスタの試験環境では、デスタ店部の測定装置から被試験半導体集積同路。DUIまいう)までの測定経路には、DUI回路基板(DUIが一下)、ケーブルケーでデスタトDUI開接続合果が複数存在。 その測性発館と共いたと、デーで発生、測定精度低一つ原因となり、また複数でDUIを同時に試験である。など、与困難である。また、使建・スタでは、その速度の制能力が、工使用速度での試験が不可能な点。量産試験での試験時間の増えが懸かられる。

【000万】特開ド1-316024号。報には、デニト回路のD \mathbb{Z}/Λ 変換部への人力データにより指定された

アドレフに変換データを収納するための記憶本子を設け、D、Aを換したアナロド信号をA、D変換器に入りし、この出力を記憶素点に順次格納し、立てったサデータに対して受換が終します。記憶を予に格納し、受換が一次を順次でする。これでは、データで入りデータン変換が一次とを順次に必動し、配置を表示して、

$[\circ \circ \circ \circ :]$

【発明に輸送していた。日本で課題】これを明まいの多課題 全改善し、高速度でしたも高精度の即むをより安価にお 現できる主導体集構に紹示試験装置まれ<u>に試験が出</u>を提 優生されたである。

【0009】またこの発明は高速度で、から高緒度の制定を再現し、併せて複数とお導体集構回路に対する認験を同じに行うことのできる。中導体集構回路の試験装置をよりが過剰がある。

[0010]

【課題を輸出が立ててい到記】で、発明による主導体制 横囲路の試験装置は、アナロで信号をディスト信号に変 趣中でA.D妥機回路とディタル信号をアチョブ信号に 受換すぶり。A 関格回路 5 含んだ被試験主導体集積回路 ・何号CCCの取りを行うように構成されたティテ国路基 初、 10㎡ 7章 同路基板の近傍に配置されるれに接続さ えたティー補助装置。ましい前記セクト補助装置に接続 された誤解機を備と、前記タイト補助装置は、ダンタル 試験信号を発生して向急技試験半導体集積回路のり、入 変換回路に供給になった。2回路としてのケーツ回路から で一て、タス試験信号をアサリク試験信号に復興して資品 被認験中導体集積回路のA、D変換回路に供給した試験 用D。A 変換回路と、前記被討験 到幕体集積回路のD。 入変極回路が700万円ので試験出力をデッタル試験出力 仁変換する試験用A、D度換回路と、前記被試験半導体 集積回路のA。「D変換回路からのデ、タル試験出力を削 記試験用へ、「ロ変換回路パード」でお試験出力では修する 週20mm・アメデー 1 前に連接でデータデデーには**他され** た前記会で、「2里試験出力を解析する解析器・を行じ 前記試験機250で指して基づいて前記がジタム試験信号 とアゴロで試験に歩き被試験で導体集積回路に 5岁。前 に測定データイポーに記憶された各ピジマルは無出力を 前記解析部には、工解析とた解析結准を、前記試驗機に 年えるように構作されたものである。

【0011】またこり発明による半導体集積回路の試験 装置は、前記半導体集積回路 日半導体集積回路 モニンシ モールド樹脂で覆いてのモールド樹脂の入後数 中場立と 適出したモーンド型1 によって構成され、前記・・・回 短基板 3 このモールド型1 にを装着するこを、より存す まものである。

【00+2】またこのを期による主導は集積の影の試験 装置は、前記主導体集積回路の主導体でつった含まれて より、前記デスト回路基板には前記主導体集積回路にコ 、タフトでで複数のでローバイ設によれたもとである。

【① 0.1 3】またこの発明による主導体集権団路の統約 多機は、自135十二十浦以及置「前記は瞬用1) A 夏城同 終と前、2減瞬用 A 「1)対極回路と前記制定が、ディデ ・前部解析可解。全搭載、たっる。補助基板を存むする にである。

【ロロキ4】またこの始明に、それ遺体集構の発の誤験 装置は、前はいた。補助基板で前はできた回路基板にで でかった様点であるようになきあたものである。

【0015】またこのを明による共産体集積回路の認施 設置は、前記での1 補助基本の前記での上回路基本に積 載されているものである。

【10016】またこの参照による半導体集積回路の試験 装置は、前記でクト連助装置→前記・2十回路基板上に 直接組付けられたもつでもな。

【0017】またこう始明による主導体集権回義の試験 装置は、前記試験用入。日夏極回路よけで前記接試験主 導体集積回路に入。日夏極回路よけ、タル試験出力を出 力する毎に進め信号を出力し、これに基づき、前記ター 平回路からので、タエ試験信号が進か、また測定ダーク イモ・ウンドルコの基かられるものである。

【0018】されにこれ発明による主導体集積回路の説、 験設置は、前記審試験主導体集積回路のA。10度換回路 かがいタル観験出力を出力する毎、前記試験機の進めれ 号を指力し、この選挙信号に基づき、前記で一名回路が 元のでいるの試験に関います。また測定が一名でモニナフリンでが進められるようもとである。

出力と前記試験用A 「D変換回路のデジタル試験出力を記憶する側定データメモリ」。可記測定データメモリに記憶された前記各デジタ、試験出力を解析する解析部を行するテスト補助表置を配置し、試験機からの指示の基づいて前記がデタル試験信号と前記すサログ試験信号を可記被試験差異体集構回路になる。両記制定データデーに記憶された各所デタル試験出力を前記解析部によって解析した解析結果を一面認試験機に存立で重認決試験を行る

【10020】。主生、工力允明により主導体集構问题的試 题的方法。前記被試驗主導体集構可給的主導体集構可能 行ってをモール「使脂で費」、「カモールで樹脂で直接的 に関連を作導出したオールで関してであるで、「10世紀では に「10世紀でする」と対策基板の「ケット」に設着され、試 腕を表記

【ロロココ】また。これを助いたに関わりは自動の鑑定した 製造があれ、前に対応対象と責任権。項目者の主義体のでした 会主者が23年、自己とのできりの意思核で設定された後から できるではまた。自己により関する場合は表示といる。タフトリス 試験をしてい。

【10022】主作。「白金田」、「十導体集積问路中述 較 打出。 前記中平上補助装置(自記試驗用1)。A受極 回路と再記録較用A D支極回路上前記判定等一方(中 上上自記錄板回路上午搭載」在中平上補助基核本有: 正生中平上補助基核本面記中平上基份可配價に配置。「 診斷至上上。

【0023】<u>また、1.17を明される計算体集積回路の試験</u>が表は、<u>前記学で計補助基板の可能性で計算修基板に</u> (0125 では挿入されて試験を行う。

【ロロコ4】また。こ<u>た毎期による</u>中身体集積回路の試 舞点をおり、前記サフト補助基板の可能サフト回路基板に 積載されて試験される。

【ロロコ五】主た。この発明で、5十線体集積回路の試 郷方は: 直記アグリ種助装置が前記がで、回路基地に に直発用上で、対して対解を行う。

【0020】また。「Cを明からを主導体集積に鋭い試験がかかけ、前突試験用A。D支換回路からが直記被試験主導は集積回路のA。D交換回路がデデタを試験出が必由力で多分に進めに対を出力し、これに基づき、前記で一个回路が高いビデジタル試験信号が進み。また測定で、クメモリンプによった進からかで試験を行う。

【ロの27】までは主意、この範囲による主導体集積回路のでは終りはは、再は快速駅上導体集積回路の入り10条機長等にデジタが建設に与る出たして毎に前記試験機が、進ぎまでき出たり、エア連めにやに基づき、前記デーや回路では、デジーとデータが建設によります。また制定が一々でモニアン、レアが進められて試験を行う。

[0028]

【実短○先態】実施の先態 1. □1 はこの発明によう年 導体集積回路の試験装置とそれを使用した試験方法の実 施の用態1の構成を正す図である。(a) (対はデスト回 窓場標 D1 Tボード) 部分の (前) (i) 同はその 側面に (。) 例は試験機 ・ エク・部分 (構成形でも も、

【10029】この実施の研究(10試験波差(まーロー)) 発現机(DUTボーバー10ーでの計補助装置(BOS 工装置・20、及画途駆機・ビスタに40を備えてい ・

【00000】テスト回路基板10は、この実施の形態1つは、糖試験半導体集材回路(DUI) 11と、で、主いま物学10分類を1ままたのである。そのシン型10は半導体集積回路(10年 15年 では、例えばで、サックを2000年 11日の11日 10年 では、例えばで、サックの大きでは、アード・アナル型、アールでは近いを検討してのデーで自己が、アード・アナルでは多ケで、アードでは変換する人と、数数でき、でを共通し回路基板とは集積したままでは、複数でき、でを共通し回路基板とは集積したままで、アード・アナル型に最成集積回路。ハイア・ドド・できる使用は多くとしてでは、

【0031】サイ、国籍基板10に被試験の導体集欄回 第四DUI) 11の第三を挿りするDUI(サート12 そ有し、その高いに多数の接続署予135」サリ、用い リュー・コンデ、世都14を配置したものである。

【0033】 サフト補助装置に108年装置)20はサーナを発展が100元億に配置される。この基施の用地、1では、サフト補助装置20はサニト補助基板2年三日の8年が一下21位DU上が一下100元に構成される。DU上が一下100元には、そのためのイケー;17か固定されてより、1008年が一下21位120イケット17に挿入されるコサクタ22を下面に有し、10コサニタ22をデケート17に挿入して、DU下が一:10元に実持され、このイケート17を挿入して、DU下が一:10元に実持され、このイケート17を経てラニーッド15人の信号でのでの。中部行われる。

【0034】BOSTボーリ21は、BULT (FF SELF-T E)Pの略分であり。これはデスタ40に依存せず。DUTP出部で自己では、(BIST BULT-N-SELF-TEST) ら担うセニト回覧を補助する10.17 外部試験補助装置の基板であり、AD/DA測定部では、制御部で4、DSP解析部25、ドモテ部26、建海部27至石にている

【0035】ディタ40はデアドルターン発生数(TPG)41、電源部42」ピンエンカラロニアで負43を

有し、BOSTボード21に対して。電源電圧Vdを供 記し、BOSTボーご21との間でBOS(制御信号4 4をつりとりする。この制御に与44には、デニタ40 うらもの v 1 ボードこ1、D+ f ボードI ローの指示信 ▽だささな。 100×下ボー 12 1 からデニテ4 n - ∞ アス、解析信果信号も含まれて、コマス40つ。NOS エボーニンコーは、ケスれるできる解析図の。 当を済む制御信辱するは、サフトでログランには出った。 たデステ信号条件に基づき、アスタルのに円蔵されたア これのとと、発生器は1により、他の10日11111100円 とと副様に ラブリ (ター) 信号したが発生されて後数 1965 () 付付かけ、名儀 と位が 100 年 (0.00年)、2011 (2.15) ルタであるさん通じて、BOS ##5・ビジューDU エチ ラミキのに無途される。 ラザーB O S T は5ラビビコカル かさされるサステ解析の音集(ヤルステクトル)(情報) は、2007年4月6日と、エンフィロエクノ部4日は近日 差してさぎによりといっとと語するの制定部にて、そこ タン、信号人の比較、制定に基づけ、その結果情報 矢切りではた

【60036】 [*1213年短の用態1でははる電気回路の構 現を1003では、10目である。DULITE 2011年11位 サケデ、タイ信号に変換するA、10関機回路の11点。デ バタン信号を7000で信号に変換するD、A、影機回路の 2.478にでいる。

【9037】BOS上が一手と1は、DUITIOA、 D支換回路の1に対してアサロで試験信号を供給する試 無井D、A支換回路の1と、DUITIOD、A支換回 路の1つ、カアサロで試験出力を対したれば、空間にDA はする試験出入。D支換回路の1とを存し、空間にDA によれば一々回路(DAにカロッツ)の3、データ書き 延済制調回路の4、測定が一々スモリアド、アカロ、タ の5、地定が一々・セリの6、基準では、プロ開路の7 では、198年回路の8、及びDSと解析器の9を存す そ、DSと解析部の9はDSとだけでラスドOM7のを 行している。

【10008】試験用り、Aで機同路61。試験用A。D 変換回路62、DAで入力サータ回路63、ウトタ書き 込み側側回路64、測定で、タスモーアドレッカウ、タ 63は、[41で]D、[A A、D測定部23に含まれてお リー測定が、タブモン66はメモデ部26に、またD× 上触句部69はD5上解析部23に含まれている。

【 0 0 3 n 】 試験用でできない試験信持(ディチャン・タ)はDACとので、タウンタを開始らるに開発されており、ディテ 1 0 からで指令に基づして、このDACとので、クロロンを開始られたで、クラン・スペートで1 1 ではいると 整国路 5 ではいる。 DEAで換回路の 1 に供給でれたデジタン試験信号(デットデータ)はアナロが試験信号でに変換されて、DUT 1 1 のA、D変換回路 5 1 に供給され、このDUT 1 1 のA、D変換回路 5 1 でデジタ

ル試験出力に実際され、測定アータメモリららに供給される。一年 DAC 5.カデータ回差の3.5%直接DUT 1 1 0 D 「A 3.機同路 5.2 に供給されたデータル試験信号は、D 「A 3.機同路 5.2 でデードに1 つ試験出力に変極され、これ「B O S T デードに1 つ試験出入。D 3.機同路 5.2 によいデータル試験出力に変極され、制定データステリらいに供信される。則定データスも「6.6 に、これ・アトは「6.6 に、これ・アトは、10 では、10 で、試験出力と、D、A 3.4 ではいる。D 3.4 に関係 5.2 を経て集合されて、「7.2 に試験出力・を、順に、決められたででは、7 にはしました。

【10041】このはくに、BUSYではおけます。DACA サー・タ回路ものでは、DUT11で変換されるで、クルー・リー・アロロー、企画のされ、また側でデータでも、AUでは、DU111で変換されたでは、PS機関路の110年には、MEでは、AUD変換回路の11つり。AUM回路の2によいで1項が試験に必要な変換が無められ、その変換された側でデータが側でデータがあらに順か記憶されてい。、以降は、BOSTサードでもよって、変換アフトが無められ、その結果が測定データメモーももには、で記憶された。その結果が測定データメモーももには、で記憶された。

【0042】上記DUT11/A、「D交換回路51 D 「A後極回路52によ」で複談験の終了後、EOSTま いだ21上のDS上解析部ののはDSPでは、ARO M70に記憶されている更換が、立を担けて、測定で一次を を理られに記憶されている更換が、立を担け高減の出し 変換特件の解析を行う。この解析は、A、D変換物件 のペーターD、Aを換約性が行う。一次、独立直線性、構 の地直線性調整などの設定を認み、解析活動におす、メイトは、上情報でがEOSTサード211ので、クタ40 に連信され、アクタ40でデア、結果が理からわれる。 【0043】実施の用処1において、EOSTボードと 1かDU下に、ド10のた傍に関雎され。DUT1中の A、「D変換回路51、D。」A変換回路52回変換試験を 行う機能を備点でいるので、この変換試験はBOSTボードと1上で実行することができる。これ結果。DUT ボード10とBONTボード21間のアナロで測定する。シンを短縮でき、こでによる測定調査の発生を充った。 が明し、高精度の試験を制現でき、併せておいし、デバイのようの走停のものSIボー、会主間の信号のできたがに基づき、よれる連度で試験を行うことができる。 BOSIIでデビーとデータ40との間は、アールで制定デジェ、タな、マイン・・・ウンス議論構成の形式、デジをおいて、またBONIデーではその結果を通信するので、変換が、タをマク40にはその結果を通信するので、変換が、タをマク40に近行するものに近へ、実験建度で可えるドンフェをできる。

【0044】実施のた施工でおいて、DUTTTOA、DQ機同路の1、D、AQ機同路の2つ変機試験機能をBOSI(中間21年に配置されるので、サフタ4のにはそのなった。たり、特別で制定機能を任用することが必要のサフタを適用するでき、可能となる。なお、特別な制定機能を持てサフィーを観りする場合でも場合。サフィーをのに対議にはく機能拡張に対して制定のである。事をつけ、である。サをでは、関節のインの原権するようにをでしまれば、一般的なサフタに標準的に装備されている利用するので、各種のイタ付練、開診に影響を使けずにBOSIである。

【0045】集制の計能2 日3はこの発明によう生権体集権国際の影響装置。それを使用した誤解力法に国属の計能2では、実施の計能1のPOSIである。この実施が出施2では、実施の計能1のPOSIである。この実施が消能です。より、生産の計能1のPOSIである。この実施が消態です。モールの型中導体集権同窓が10UIが、FIOにの10年十12に挿入され、そのA、D変換器41とD、A後極器42と認識験される。

【0046】[43]にはいて、DUITから打10点行出前には、BOST がつじ21 当職置され、この報置部分ではが一旦世の接続が行われており、ウストー・ド155 の間では少いで、とり、当ずわれる。なお、BOSI かって20元。構造は同1、同日であり、原路構成は図とと同じである。

【 0 0 4 7】 生統の刑犯3 三日4により発展による主導体集積回路の試験装置 (一子れを使用した試験が失めの実施の研修3 の D に 1 2 1 A で の E は B O S T デージェイスの 一道 (一) E は B O S T デージェイスの 一道 (一) E は B O S T デージェイスの 一道 (一) E は B O S T デージェイスの 一道 (一) E は B O S T デージェイスの 一道 (一) E に 開いて れて、 D U T サードであり 「開いて れて、 D U T サードであり 「用た (構成 S れーデル中心部の 下面に ウェス 1 1 A に対ける多数のプローブ 3 0 を有する。 この D U T ボーブ 1 0 A の 上には 接続構体 3 1 を宜して。 B

ONT IFボード3 2が配置され、このBOST IFボード3 2 1 にはコアクタ 3 3 が取り付けられている。BONT装置2 0 2 構成するEOS I デード2 1 A も日井、1構成され。ここ1 OS I ボード2 1 A 上面には、生殖に単態1 2 同様の ADデリ A 測定部2 3 こ制御部2 4 。 イモリ 33 2 6 「DN P解析部2 5 、及予電源部2 7 に配置されている。

【0048】実施の所集はの電電回数の構成は、実施の 所能1の中でと同じてもの。での、では08岁のに11 Aのサーブ相当部分の多数の場子に移触させて、実施の 所限15回移の磁験が、われる、のか、11Aのデーブ 相当部分を自体ではし、順次隣接の立て、で相当部分の 試験をは施する。

【・0 0 4 9】 実施の所態4 「同 5 はこの 8 時により + 達体集種同語の試験装置とデえた使用し合試験が5.5 では の所態4 かりじ上部分を介し、まず、同は側面は

(1) 1・は上部目である。この場施の共態はでは、実施の対態のであって、BOSIがデドロのA(省略で対またEOSI IFFでは、17 接続構体16も名略を またEOSI IFFでは、17 接続構体16も名略を れ、FOSI装置は06構成があるり、DA測定部は 1、制御部は2、フモト部には、DSP解析部に2 定 源説は55年に、プロープスのを持ったDU1が一に1 OA上前に配置され、心要な接続が12がある。

【 0 0 5 0 】 2 0 (実施・差 独) 4 今回監構成は実施の少態 1 0 例 2 人間よびあり、同様にしてDVI 1 1 A の A 。《 D 変換回路 5 1 。 D 2 A 2 (機同路 5 2 の 減敏がきつせ) る。

【0051】地地で出地と、3 47年のでも、1808 「装置との、またはBOSIT・ドロ1 21AはDU Tロード10、10A7世代に配置され、対極の出地は と同様に試験が実施されるかで、実施の出地は上同様 に、試験の高精度化、高速化、装置の低価格化を同じて とかできる。

【0052】実施の形態が、同時はこのを期によるの標体集積回路の試験要徴とデカタ使用と変越越力法の関係。この実施の理能がでは、10月1114人でロジ機同路が122日に SY信がを発生しないタイプであり、このため、デノタ40からより方信号を発生しないタイプであり、データ回路が3のデータル単位で進める動作と、期間データメモンののデータル単位で進める動作と、期間データメモンののデー1メが進める動作を行わせる。なお、BOSIサードのA、D変換回路が2はBUSY信号を発生するように構成できるので、このBUSY信号は上上方信号である。

【005:1】10(実施の別題5にはいても、ラッタ40からBON1装置20に近にされる。サウに差テルはデジタルに発了あた。ラッタ40とBON1装置20との間に、コープの影響を使いやすいアナログ信号3を追加するものではない。実施の問題1と同様に、試験に高精度化、高速化を図ることができる。

[0054]

【発明の効果】以上のようにこの発明は、デスト回影基板の近後に配置されたデスト補助装置に、データ回覧。試験用 1/10 美越回的、測定・一タメルド、および D S P 解析部を設け、10 でイト補助装置により、地試験予導体集積回路の A / D 変越回始を対け、アロバA が越回線の試験を行うようにしたようでき、A / D 変越回路の試験を行うようにしたようでき、A / D 変越回路のは験を行うようにしたようでは、デー、でデータデンの主導体集積回路の試験を一高精度に、高速に行うによりです。使まて試験装置に供価格化を提ぶできたできる。

【10055】またいで、回転基板においてドールを装着する。というを装備したまにでは、さいまです。では、 連体集積回路のA。 D 変換回路、D、A 変換回路の試験 を容易に行ってきまでき、またアロップを装備したサップト回旋基板を用いかば、では、地域で同様の試験を容易 に行ってきたできる。

【100万6】またでき、補助要置か、でいて回覧。試験用り、入変換回覧・認験用入、り変換回覧と測力でいる。 でもりとりと上解析部を搭載したりでも補助基板を有で 多まででは、ディ、補助装置を発える補助基板とに集中 して構成して装置の簡単化を担うことができ、またそう エアト補助基板とうでも回覧基板のでで、またそう エアト補助基板とうでも回覧基板のでで、またそうで それでではそび組み立てを簡単化でき、またそのです。 補助基板をデニト回覧基板に構載すれば、装置をより簡 単化できる。

【ロロトで】まだいが、補助装置をデア、同路基板上に 直接組み付けてもいては、装置の構成を小層簡単化でき と

【10058】また試験用A、D変換回路なよび概試験を 導体集積回路のA、D変換回路が引出が信号を発生する もの、試験機が与進め信号を発生するものでは、進め信 分によってがデタリ試験信号を進め、また進貨でサタメ モデルでデアスを進めないが助果的な試験を行うことが できる。

【目前の簡単な説明】

【日1】 三小金明(1)、多中導体集積回路外鉄縣安徽。 受利到使用し代謝網(原起)中場的無無(1)を計。 (4)。 団は101年第5年上前図。(4) 医はその側面目

(1) 医食試験機の構成医

【日2】 実施で乗 穂 1 (中回路構成を)にむずの ・ "国、

【143】 この発明による主導体集積同路の誤験装置の 実施の形態とのDVT部分の側面形。

【日4】 このを明による主導体集積回窓内認証要徴と <u>マルを使用した試験で生</u>の実施の非態にを行っては、 日はBOSTボードの上面団 (E) 日はBOSF I Fボードの上面団 (e) 日はDLTボードの上面団 (i) 国はそれらの側面団

【図5】 この発明による土尊体集積回路の試解装置<u>と</u> <u>それを使用した試験方法の</u>当施心形態4のDUT部分を 示し、(a) 図はその側面図、(b) 図は上面図。

【図6】 この発明による半導体集積回路の試験装置と <u>それを使用した試験方法</u>の実施の形態 5 の回路構成を示 すブロック図

【符号の説明】

10.10A テスト回路基板 (DUTボード)、 11.11A 被試験半導体集積回路 (DUT)、

フロントページの続き

(72) 発明者 山田 真二

兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダウタシステムエンジニアリング株式会社内

 20 デフト補助装置(BOST装置)、 21,2

 1A デフト補助基板(BOSTオード)、 40

 試験機(テスタ)。 51 被試験半導体集積回路のDA/D変換回路、 52 被試験半導体集積回路のD/A変換回路、 61 試験用D/A変換回路、 63 データ回路、 62 試験用A/D変換回路、 63 データ回路、 66 測定データテモリ、69 DSP解析部。

(72)発明者 船倉 輝芹

東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内

F ターム (参考) 2G032 AAO9 AB01 AC07 AE02 AE10 AF01 AG02 AJ05 AJ07 AK01 AL00

> 5J022 AA01 AB01 AC03 BA02 BA05 CD02 CE01 CE05 CG01